

**PERANCANGAN *MASK LAYOUT* GENERATOR FREKUENSI
DAN *AMPLIFIER LEVEL CONVERTER* DENGAN
TEKNOLOGI CMOS 0,3 μ m UNTUK SISTEM *ELECTRO
CAPACITIVE CANCER THERAPHY* (ECCT) JENIS STANDAR**

(Skripsi)

Oleh

FEBRY RAMOS SINAGA



**FAKULTAS TEKNIK
UNIVERSITAS LAMPUNG
BANDARLAMPUNG
2016**

ABSTRAK

PERANCANGAN *MASK LAYOUT* GENERATOR FREKUENSI DAN *AMPLIFIER LEVEL CONVERTER* DENGAN TEKNOLOGI CMOS 0,3 μ m UNTUK SISTEM *ELECTRO CAPACITIVE CANCER THERAPHY* (ECCT) JENIS STANDAR

Oleh

FEBRY RAMOS SINAGA

Electro capacitive cancer therapy (ECCT) merupakan sebuah sistem elektronika diskret yang diproduksi oleh Ctech Labs EdWar Technology dan terus dikembangkan hingga saat ini untuk menyembuhkan penderita kanker dengan menghasilkan medan listrik berintensitas rendah. ECCT mempengaruhi sel kanker dalam tubuh manusia melalui bentuk, frekuensi dan tegangan sinyal listrik yang keluar dari sistem. Sistem ECCT jenis standar menghasilkan sinyal listrik keluaran berbentuk kotak, dengan frekuensi sebesar 100kHz dan tegangan 20 volt *peak-to-peak* (Vpp). Karakteristik sinyal tersebut dihasilkan melalui proses pada lima sub-sistem yaitu *power supply*, *DC-DC converter*, generator frekuensi, *amplifier level converter*, dan elektroda. Untuk mencapai persentase penyembuhan yang optimal, ECCT harus digunakan dengan dosis yang tepat secara kontinu dan disiplin dalam jangka waktu yang lama. Dengan merancang sistem ECCT ke dalam rangkaian terpadu (IC) akan dihasilkan sistem dengan luas area yang lebih kecil dan disipasi daya yang sangat kecil sehingga membuat pasien merasa nyaman selama penggunaan dan mampu bekerja dalam jangka waktu yang lebih lama.

Perancangan sistem ECCT jenis standar ini menggunakan teknologi IC *complementary metal-oxide semiconductor* (CMOS) yang berfokus pada sub-sistem generator frekuensi dan *amplifier level converter* dengan menggunakan perangkat lunak ElectricVLSI. *Mask layout* generator frekuensi dan *amplifier level converter* yang telah dirancang memiliki luas area sebesar 0,2704mm². *Mask layout* disimulasikan dengan menggunakan perangkat lunak LTspiceIV yang diberi masukan berupa sinyal DC dengan tegangan 5 volt dan menghasilkan sinyal keluaran berbentuk asimetris yang mulai berosilasi dari titik -0,47 volt dengan frekuensi 100,01kHz dan tegangan 17,5 Vpp.

Kata Kunci: ECCT, teknologi CMOS, *ring oscillator*, *negative clamper biased*, *operational amplifier*, ElectricVLSI, LTspiceIV.

ABSTRACT

DESIGN OF FREQUENCY GENERATOR AND AMPLIFIER LEVEL CONVERTER USING 0,3 μ m CMOS TECHNOLOGY FOR ELECTRO CAPACITIVE CANCER THERAPY (ECCT) STANDARD OPERATION MODE SYSTEM

By

FEBRY RAMOS SINAGA

Electro capacitive cancer therapy (ECCT) is an electronic discrete system that has been produced by Ctech Labs EdWar Technology and continue to be developed until now to cure cancer patient by producing low intensity electric field. ECCT affects the cancer cell in human body through shape, frequency, and electric voltage signal from the system. ECCT standard operation mode system produce square shape signal with 100 kHz frequency and 20 volt peak-to-peak (Vpp) voltage. That signal characteristics are produced by a process from five sub-system namely power supply, DC-DC converter, frequency generator, amplifier level converter, and electrode. To reach optimal curing percentage, ECCT must be used in an appropriate dose continuously and discipline in a long period. By designing ECCT system into integrated circuit (IC) will make lower system area necessary and very small power dissipation that makes the patient feel more comfortable a long it use and have longer durability time.

In this research, designing ECCT system uses IC technology complementary metal-oxide semiconductor (CMOS) that focusing in a frequency generator sub system and amplifier level converter sub system using ElectricVLSI software. Mask layout frequency generator and amplifier level converter had been designed in a 0,2704mm² area wide. Mask layout simulated using LTspiceIV software with 5 volt DC input signal and produces output signal in a asymmetric signal shape that oscillated from -0,47 volt with 100,01 kHz frequency and 17,5 Vpp voltage.

Keyword: ECCT, CMOS technology, ring oscillator, negative clamper biased, operational amplifier, ElectricVLSI, LTspiceIV

**PERANCANGAN *MASK LAYOUT* GENERATOR FREKUENSI
DAN *AMPLIFIER LEVEL CONVERTER* DENGAN
TEKNOLOGI CMOS 0,3 μ m UNTUK SISTEM *ELECTRO
CAPACITIVE CANCER THERAPHY* (ECCT) JENIS STANDAR**

Oleh

FEBRY RAMOS SINAGA

Skripsi

Sebagai Salah Satu Syarat untuk Mencapai Gelar
SARJANA TEKNIK

Pada

Jurusan Teknik Elektro
Fakultas Teknik Universitas Lampung



**FAKULTAS TEKNIK
UNIVERSITAS LAMPUNG
BANDARLAMPUNG
2016**

Judul Skripsi : **MEKANISME CARRIER AGGREGATION
PADA JARINGAN 4G LTE-ADVANCED**

Nama Mahasiswa : **Prasetia Muhharam**

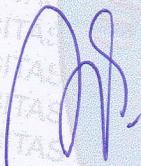
Nomor Pokok Mahasiswa : **1115031066**

Program Studi : **Teknik Elektro**

Fakultas : **Teknik**

MENYETUJUI

1. Komisi Pembimbing

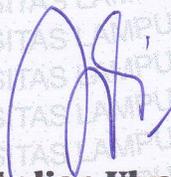


Dr. Ing. Ardian Ulvan, S.T., M.Sc.
NIP 19731128 199903 1 005



Misfa Susanto, Ph.D.
NIP 19710525 199903 1 001

2. Ketua Jurusan Teknik Elektro



Dr. Ing. Ardian Ulvan, S.T., M.Sc.
NIP 19731128 199903 1 005

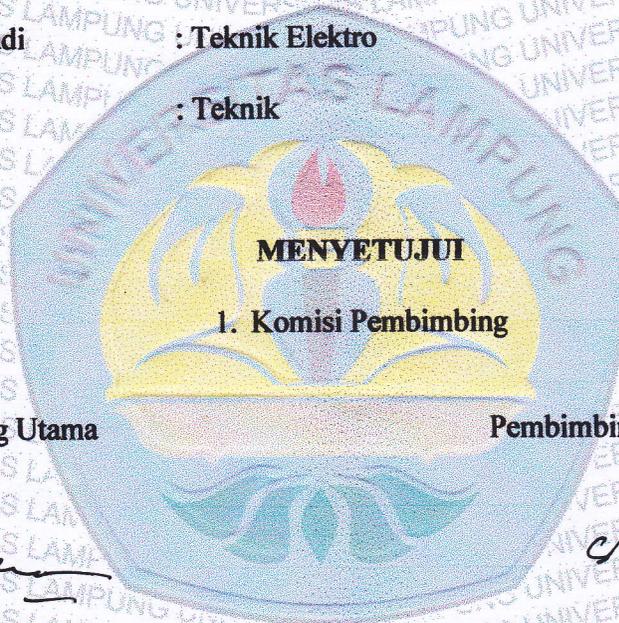
**Judul Skripsi : PERANCANGAN MASK LAYOUT GENERATOR
FREKUENSI DAN AMPLIFIER LEVEL
CONVERTER DENGAN TEKNOLOGI CMOS
0,3 μ m UNTUK SISTEM ELECTRO CAPACITIVE
CANCER THERAPY (ECCT) JENIS STANDAR**

Nama Mahasiswa : Febry Ramos Sinaga

Nomor Pokok Mahasiswa : 1115031032

Program Studi : Teknik Elektro

Fakultas : Teknik



Pembimbing Utama

Pembimbing Pendamping

Muhamad Komarudin, S.T., M.T.
NIP. 19681207 19903 1 005

Syaiful Alam, S.T., M.T.
NIP. 19690416 199803 1 004

2. Ketua Jurusan Teknik Elektro

Dr. Ing. Ardian Ulvan, S.T., M.Sc.
NIP. 19731128 199903 1 005



KEMENTERIAN RISET, TEKNOLOGI DAN PENDIDIKAN TINGGI
UNIVERSITAS LAMPUNG-FAKULTAS TEKNIK
JURUSAN TEKNIK ELEKTRO

Jalan Soemantri Brojonegoro No. 1 Bandarlampung 35145 Telp (0721)701609 ext 219

SURAT KETERANGAN

No. / UN26/5.4/DT/2016

Yang bertanda tangan di bawah ini, menerangkan :

Nama Mahasiswa	: Febry Ramos Sinaga
NPM	: 1115031032
Fakultas	: Teknik
Program Studi	: Teknik Elektro

Telah diperiksa, kelengkapan, lembar pengesahan serta keabsahannya dan Skripsi mahasiswa tersebut dapat di *upload* pada System Digital Repository UPT Perpustakaan Unila.

Demikian surat keterangan ini di buat agar dapat dipergunakan sebagaimana mestinya.

Bandar Lampung, 24 Oktober 2016
Ketua Jurusan

Dr. Ing. Ardian Ulvan, S.T., M.Sc.
NIP 19731128 199903 1 005

RIWAYAT HIDUP



Hanya karena anugerah Allah penulis lahirkan di Bandarlampung pada 05 November 1993 dari pasangan bapak Drs.B.Sinaga dan ibu P.O.Sihaloho.

Kesempatan pendidikan yang ditempuh oleh penulis dimulai dari SD Fransiskus Tanjung Karang yang diselesaikan pada tahun 2005, lalu dilanjutkan ke SMP

Fransiskus Tanjung Karang yang diselesaikan pada tahun 2008 dan SMA Negeri 15 Bandarlampung yang diselesaikan pada tahun 2011 dengan baik.

Pada tahun 2011 penulis terdaftar sebagai mahasiswa jurusan teknik elektro fakultas teknik Universitas Lampung (UNILA) melalui jalur seleksi nasional perguruan tinggi negeri (SNMPTN). Selama menjadi mahasiswa penulis aktif dalam organisasi himpunan mahasiswa teknik elektro (HIMATRO) dan dipercaya menjadi anggota departemen kerohanian pada tahun 2012-2013 juga anggota divisi pendidikan pada tahun 2013-2014. Selain itu penulis juga aktif dalam organisasi eksternal kampus yaitu PERKANTAS Lampung dan diberikan kepercayaan melayani di pelayanan siswa Bandarlampung dari tahun 2012-sekarang.

Pada tahun 2014, penulis melaksanakan kerja praktek dalam perusahaan berbasis riset, Ctech Labs EdWar Technology, Tangerang sebagai *visiting researcher*. Pada

tahun 2015 penulis belajar mengabdikan diri kepada masyarakat di Desa Tunggal Warga, Unit II, Tulang Bawang melalui program KKN UNILA periode II tahun 2014/2015.



*Tetapi apabila di antara kamu ada yang
kekurangan hikmat, hendaklah ia memintakannya
kepada Allah, (Yakobus 1: 5a)*

Kesulitan menguji kesetiaan kita
Tetapi,
Anugerah Allah memampukan kita
untuk melalui ujian tersebut.

Jangan bertanya "Kenapa dunia begitu rusak?"

Tetapi,

*Janyakanlah "apa yang terjadi pada **GARAM** &
TERANG sehingga dunia begitu rusak?"*

— John Stott

Karya sangat kecil ku dalam skripsi ini, ku persembahkan

kepada:

Bapak, Mama, Abang-abang, kakak-kakak, adik-adik ku.

Bangsa Indonesia

Para *researcher* di bidang rangkaian terpadu, dan kesehatan terutama yang mendedikasikan hidupnya dalam menyembuhkan penderita kanker juga penderita psoriasis & lupus

Anak-anak dan pemuda Indonesia yang penuh mimpi & terus belajar namun ingin memiliki integritas sehingga memiliki kecintaan kepada Kristus, tidak mencontek, tidak melakukan plagiat.

SANWACANA

Rasa syukur dan pujian penulis agungkan kepada Allah sang pencipta kehidupan yang adil sekaligus penuh dengan kasih karena hanya anugerah-Nya saja penulis bisa menyelesaikan penelitian dan penyusunan skripsi ini dengan hasil yang baik. Skripsi dengan judul “Perancangan *Mask Layout* Generator Frekuensi dan *Amplifier Level Converter* dengan teknologi CMOS 0,3 μ m untuk Sistem *Electro Capacitive Cancer Therapy* (ECCT) jenis standar” ini merupakan sebuah langkah awal pengembangan teknologi rangkaian terpadu (IC) untuk bisa digunakan pada bidang kesehatan secara langsung dengan harapan biaya produksi yang rendah. Sehingga tanpa kekuatan dari Allah serta bantuan langsung dari pembimbing dan berbagai pihak penulis tidak akan bisa menyelesaikan skripsi ini dengan baik. Oleh sebab itu pada kesempatan ini, penulis mengucapkan terima kasih kepada:

1. Prof. Suharno, M.Sc., Ph.D. selaku dekan fakultas teknik Universitas Lampung
2. Dr. Ing. Ardian Ulvan, S.T., M.Sc. selaku ketua jurusan teknik elektro Universitas Lampung
3. Dr. Herman H. Sinaga selaku sekretaris jurusan teknik elektro Universitas Lampung yang telah memotivasi penulis untuk menyelesaikan skripsi ini dan membantu penulis dalam memenuhi syarat-syarat administrasi.
4. Muhamad Komarudin, S.T., M.T. selaku pembimbing utama yang telah membagikan pengetahuan tentang rangkaian terpadu (IC) kepada penulis

selama kurang lebih dua tahun dan terus memotivasi penulis yang disebut “mahasiswa nekat” untuk menyelesaikan skripsi ini.

5. Syaiful Alam, S.T., M.T. selaku pembimbing pendamping yang sangat antusias membantu penulis dalam mengerjakan penelitian dalam skripsi ini hingga selesai.
6. Dr. Eng. Helmy Fitriawan, S.T., M.Sc. selaku penguji utama yang membantu penulis membuat skripsi ini menjadi lebih baik dengan masukan yang membangun dan saran-saran yang melengkapi, juga menawarkan kesempatan kepada penulis untuk mempublikasikan hasil penelitian dalam skripsi ini di simposium internasional.
7. Mbak Ning yang telah membantu penulis dalam hal administrasi di jurusan teknik elektro.
8. Florince, S.T. Petrus Prasetyo, S.T. dan Desindah yang walaupun memiliki latar belakang disiplin ilmu yang berbeda dengan penulis bersedia menjadi teman diskusi penulis dalam menyusun maupun melengkapi materi dalam skripsi ini.
9. Sigit, Farisy, Anang, Farid, Najib, Randi, Imam, Hajar, Renold yang telah mengizinkan penulis menggunakan berbagai fasilitas di lab. Komputer dan lab. Telekomunikasi selama penulis menyelesaikan penelitian dalam skripsi ini dan memberikan banyak cerita selama proses penyelesaian skripsi ini.
10. Yere, Mario, Andreas dan Frian yang mengizinkan penulis menggunakan fasilitas di lab. Tegangan tinggi serta menjadi teman bermain dan berbagi ketika penulis merasa sendirian.

11. Richard Manuel, S.T. yang menjadi teman kuliah, teman kelompok kecil (KK) dan teman diskusi penulis baik mengenai materi perkuliahan maupun materi “pelayanan” di siswa dan mahasiswa.
12. Kak Ester dan TPS Perkantas Bandarlampung yang telah membentuk karakter penulis untuk menjadi seorang “pelayan” serta memberikan perhatian dan semangat kepada penulis untuk terus mengerjakan “pelayanan” tanpa lupa untuk menyelesaikan perkuliahan dan skripsi dengan baik.
13. Bang Benny dan PMK Perkantas Lampung yang telah mengasah penulis melalui persekutuan dan diskusi yang menegur, membangun, menambah wawasan penulis tentang bagaimana menjadi seorang pengikut Kristus yang taat selama masa perkuliahan.
14. FKMK-FT yang juga telah memberikan kesempatan kepada penulis untuk belajar melayani dan membantu merealisasikan visi “menjadikan alumni yang berintegritas serta menjadi garam dan terang dunia”
15. Pihak-pihak lain yang tak dapat penulis sebutkan satu per satu pada kesempatan kali ini.

Walaupun masih banyak sekali kekurangan dalam skripsi ini dan butuh banyak pengembangan serta perbaikan, kiranya skripsi ini dapat bermanfaat dan menjadi berkat bagi para pembaca terutama pembaca yang rindu berkarya secara nyata bagi bangsa Indonesia. Tuhan memberkati.

Bandarlampung, 14 Oktober 2016
Penulis,

Febry Ramos Sinaga
NPM.1115031032

DAFTAR ISI

	Halaman
DAFTAR ISI	v
DAFTAR GAMBAR	vii
DAFTAR TABEL	ix
I. PENDAHULUAN	
A. Latar Belakang	1
B. Tujuan Penelitian	3
C. Manfaat Penelitian	3
D. Rumusan Masalah	3
E. Batasan Masalah	4
II. TINJAUAN PUSTAKA	
A. Teknologi <i>Complementary Metal-Oxide Semiconductor</i>	5
B. <i>Electro Capacitive Cancer Therapy (ECCT)</i>	11
C. Generator Frekuensi	13
1. <i>Oscillation Control Voltage</i>	15
2. <i>Ring Oscillator</i>	16
D. <i>Amplifier Level Converter</i>	17
1. <i>Negative Clamper Biased</i>	18
2. <i>Operational Amplifier (Op-amp)</i>	20
III. METODOLOGI PENELITIAN	
A. Tempat dan Waktu Penelitian	22
B. Alat dan Bahan Penelitian	22
C. Tahap-tahap Penelitian	22
D. Spesifikasi Sistem	29
E. Diagram Blok Sistem	29
F. Skematik	29
IV. HASIL DAN PEMBAHASAN	
A. Perancangan <i>Mask Layout</i>	32
B. Pengujian <i>Mask Layout</i>	38
C. Simulasi <i>Mask Layout</i>	45

V. KESIMPULAN DAN SARAN

A. Kesimpulan	51
B. Saran	52

DAFTAR PUSTAKA

LAMPIRAN A

LAMPIRAN B - Model Transistor BSIM3

LAMPIRAN C – Nilai *Parasitic Project* pada Perangkat Lunak ElectricVLSI

LAMPIRAN D – MOSIS Scalable CMOS (SCMOS) *Design Rules*

LAMPIRAN E – Perhitungan dalam Perancangan *Mask Layout* Kapasitor

Teknologi 0,3 μ m

LAMPIRAN F – Perhitungan dalam Perancangan *Mask Layout* Kapasitor

Teknologi 0,3 μ m

LAMPIRAN G – Data Hasil Pengujian *Mask Layout* Kapasitor

DAFTAR GAMBAR

	Halaman
Gambar 2.1 NMOS berbentuk silikon diskret berdasarkan US paten 3,356,858..	6
Gambar 2.2 PMOS berbentuk silikon diskret berdasarkan US paten 3,356,858..	6
Gambar 2.3 Struktur Fisik E-MOSFET jenis <i>n-channel</i> (NMOS)	7
Gambar 2.4 Struktur Fisik E-MOSFET jenis <i>p-channel</i> (PMOS)	8
Gambar 2.5 Grafik Karakteristik Konduksi NMOS	9
Gambar 2.6 Penampang melintang NMOS	11
Gambar 2.7 Sistem ECCT	12
Gambar 2.8 Diagram Blok Sistem ECCT	13
Gambar 2.9 Rangkaian <i>Ring Oscillator</i> dari US paten 7,230,499	14
Gambar 2.10 Diagram Blok Generator Frekuensi Berbasis <i>Ring Oscillator</i>	15
Gambar 2.11 Skematik <i>Oscillator Control Voltage</i>	16
Gambar 2.12 Simbol <i>Ring Oscillator</i>	16
Gambar 2.13 Diagram Blok <i>Amplifier Level Converter</i>	17
Gambar 2.14 Rangkaian Clamper Negatif	18
Gambar 2.15 Simbol Skematik Op-amp	20
Gambar 2.16 Rangkaian Op-amp Dua Tingkat (<i>Two-Stage Op-amp</i>)	21
Gambar 2.17 Rangkaian Penguat <i>non-inverting</i>	21
Gambar 3.1 Diagram Alir Penelitian	23
Gambar 3.2 Rangkaian Pengujian <i>Mask Layout</i> Komponen Kapasitor	25
Gambar 3.3 Rangkaian Pengujian <i>Mask Layout</i> Komponen Resistor	27
Gambar 3.4 Rangkaian Pengujian Respon Frekuensi <i>Mask Layout</i> Op Amp ...	28
Gambar 3.5 Rangkaian Pengujian Respon Transien <i>Mask Layout</i> Op Amp	28
Gambar 3.6 Diagram Blok Sistem	29
Gambar 3.7 Skematik Sub-Sistem Generator Frekuensi dan <i>Amplifier Level Converter</i>	30
Gambar 3.8 Skematik Komponen Op Amp dalam Sub-Sistem <i>Amplifier Level Converter</i>	31

Gambar 4.1 <i>Mask Layout</i> Generator Frekuensi untuk ECCT Jenis Standar.....	33
Gambar 4.2 <i>Mask Layout Negative Clamper Biased</i>	36
Gambar 4.3 <i>Mask Layout Operational Amplifier (Op Amp)</i>	37
Gambar 4.4 <i>Mask Layout</i> Rangkaian Bias	38
Gambar 4.5 Hasil Pengujian <i>Mask Layout</i> Generator Frekuensi.....	39
Gambar 4.6 Hasil Pengujian <i>Mask Layout</i> Kapasitor 12pF.....	40
Gambar 4.7 Hasil Pengujian <i>Mask Layout</i> Kapasitor 42fF.....	41
Gambar 4.8 Hasil Pengujian <i>Mask Layout</i> Resistor 500k Ω	41
Gambar 4.9 Hasil Pengujian <i>Mask Layout</i> Kapasitor 2pF.....	42
Gambar 4.10 Hasil Pengujian Respon Frekuensi <i>Mask Layout</i> Op Amp dengan Rbias 100k Ω	43
Gambar 4.11 Hasil Pengujian Respon Transien <i>Mask Layout</i> Op Amp dengan Rbias 100k Ω	44
Gambar 4.12 <i>Pad Frame</i> dan <i>Pad Rings</i>	46
Gambar 4.13 Hasil Simulasi Keluaran Keseluruhan <i>Mask Layout</i>	46
Gambar 4.14 Hasil Simulasi Keluaran Sub-Sistem Generator Frekuensi.....	47
Gambar 4.15 Hasil Simulasi Keluaran Rangkaian <i>Negative Clamper Biased</i>	48
Gambar 4.16 Hasil Simulasi Keluaran Rangkaian Op Amp.....	49

DAFTAR TABEL

	Halaman
Tabel 2.1 Karakteristik Ideal Op Amp	20

I. PENDAHULUAN

A. Latar Belakang

Perkembangan penyakit kanker yang sangat cepat terjadi di banyak negara menjadi salah satu bencana yang urgen untuk dicari solusinya. Sebanyak 14,1 juta kasus penderita baru ditemukan pada tahun 2012 dan diperkirakan akan meningkat menjadi 22 juta kasus baru per tahun pada dua dekade selanjutnya. Dalam periode yang sama kematian yang diakibatkan penyakit kanker pada tahun 2012 mencapai 8,2 juta jiwa dan diperkirakan akan meningkat menjadi 13 juta jiwa per tahun.

Pada umumnya jenis kanker yang mendominasi 14,1 juta kasus tersebut adalah kanker paru-paru (1,8 juta kasus), kanker payudara (1,7 juta kasus) dan kanker usus besar (1,4 juta kasus)^[1].

Hasil dan prediksi peningkatan jumlah penderita yang dikemukakan oleh organisasi kesehatan dunia, WHO melalui *International Agency for Research on Cancer* (IARC) tersebut didasarkan pada penambahan populasi masyarakat terutama masyarakat di negara-negara berkembang.

Selain itu, tingkat perekonomian yang belum merata di negara-negara berkembang membuat masyarakat dari berbagai kalangan yang menderita kanker sulit untuk mendapatkan penanganan secara cepat dan intensif. Hal ini disebabkan metode perawatan dan penyembuhan penyakit kanker saat ini masih didominasi oleh

teknologi radioterapi, *cryogenic*, dan kemoterapi yang kurang fleksibel dan memiliki biaya operasional cukup tinggi^[2].

Electro capacitive cancer therapy (ECCT) menjadi salah satu teknologi alternatif perawatan dan penyembuhan penyakit kanker di Indonesia. Alat ini diciptakan dan terus dikembangkan hingga saat ini oleh Dr. Warsito P. Taruno bersama rekan – rekannya di Ctech Labs EdWar Technology. ECCT diciptakan berdasarkan hasil riset yang dikemukakan oleh Yoram Palti mengenai perangkat *tumor treatment fields* (TTF) yang menghasilkan pengaruh untuk penyakit *glioblastoma* melalui medan listrik berintensitas rendah^[3].

Hingga sejauh ini sistem ECCT memiliki persentase yang cukup baik untuk menyembuhkan kanker stadium IV pada jaringan lunak seperti otak dan payudara. Namun untuk mencapai persentase penyembuhan yang optimal, sistem ECCT harus digunakan secara disiplin dengan dosis tegangan dan frekuensi listrik yang tepat serta dipakai dalam waktu yang cukup lama secara rutin.

Dengan menerapkan sistem ECCT dalam teknologi *complementary metal-oxide semiconductor* (CMOS) 0,3 μ m, sistem tersebut dapat diproduksi secara terpadu (*integrated circuit*) dengan ukuran yang lebih kecil sehingga penggunaan sistem dalam waktu yang lama diharapkan tidak akan mengganggu kenyamanan dan aktivitas penderita kanker. Selain itu perancangan sistem ke dalam bentuk *integrated circuit* (IC) akan membuat biaya produksi lebih murah.

B. TUJUAN PENELITIAN

Tujuan dari penelitian yang akan dilakukan antara lain:

1. Merancang skematik generator frekuensi dan *amplifier level converter* yang dapat menyerupai keluaran sistem *electro capacitive cancer therapy* (ECCT) jenis standar milik Ctech Labs EdWar Technology.
2. Merancang *mask layout* generator frekuensi dan *amplifier level converter* tersebut dengan teknologi CMOS 0,3 μ m.
3. Mengetahui pengaruh efek *parasitic* pada *mask layout* generator frekuensi dan *amplifier level converter* terhadap kinerja sistem secara keseluruhan.

C. MANFAAT PENELITIAN

Manfaat penelitian yang akan dilakukan antara lain :

1. Menjadi referensi untuk penelitian selanjutnya mengenai pengembangan sistem ECCT yang lebih efektif baik secara ukuran perangkat maupun jenis-jenis komponen penyusun didalamnya.
2. Menjadi awalan baru untuk mengembangkan bentuk perangkat ECCT yang lebih efisien dan lebih tepat guna.

D. RUMUSAN MASALAH

1. Bagaimana merancang sistem yang memiliki karakteristik masukan dan keluaran yang sama dengan ECCT jenis standar produk Ctech Labs EdWar Technology namun dapat diterapkan dalam teknologi CMOS 0,3 μ m?

2. Bagaimana membuat *layout* komponen – komponen yang diperlukan untuk membangun sistem yang telah dirancang menggunakan teknologi CMOS 0,3 μ m?
3. Bagaimana kinerja sistem secara keseluruhan ketika efek *parasitic* dalam *mask layout* disertakan?

E. BATASAN MASALAH

Batasan masalah dalam penelitian ini antara lain :

1. Menggunakan bantuan perangkat lunak LTSpiceIV dan ELECTRIC VLSI untuk membuat simulasi skematik, merancang *mask layout* serta menguji *mask layout* rangkaian CMOS teknologi 0,3 μ m
2. Perancangan skematik dan *mask layout* hanya akan dilakukan untuk sub-sistem berupa generator frekuensi dan *amplifier level converter* saja.
3. Perancangan hanya akan menyesuaikan spesifikasi tegangan masukan, bentuk sinyal keluaran, frekuensi keluaran dan tegangan keluaran dari ECCT Jenis standar yang diproduksi Ctech Labs EdWar Technology.
4. Analisis *post layout* yang dilakukan hanya meliputi luas area yang dibutuhkan *mask layout*.generator frekuensi dan *amplifier level converter*.

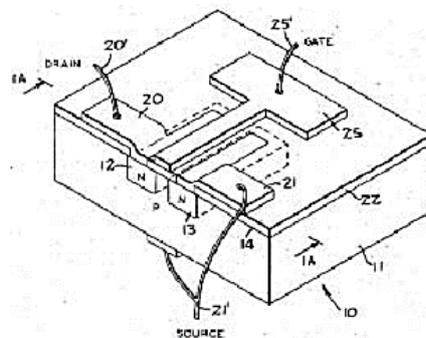
II. TINJAUAN PUSTAKA

A. Teknologi *Complementary Metal-Oxide Semiconductor* (CMOS)

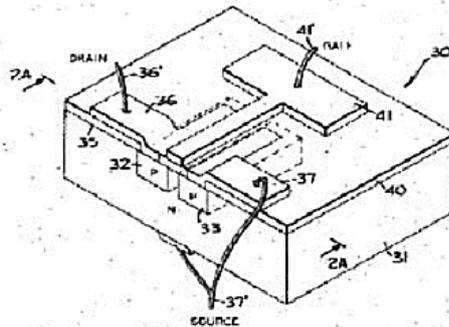
Teknologi *Complementary Metal-Oxide Semiconductor* (CMOS) merupakan sebuah metode ilmiah yang saat ini banyak digunakan dalam proses pabrikan rangkaian terpadu berskala sangat besar/*very large scale integrated* (VLSI) dan rangkaian terpadu berskala ultra besar/*ultra large scale integrated* (ULSI). Teknologi CMOS menghasilkan sebuah rangkaian terpadu (IC) dengan disipasi daya yang sangat rendah, dalam satuan luas yang sama memiliki jumlah transistor penyusun yang lebih banyak dibandingkan teknologi rangkaian terpadu (IC) lain dan lebih mudah dibuat sehingga dapat diproduksi dengan harga yang lebih murah.

Perkembangan teknologi CMOS didasari oleh penemuan komponen elektronika berupa *metal-oxide semiconductor field effect transistor* (MOSFET) oleh J.E. Lilienfeld pada sekitar tahun 1930. Lalu penemuan tersebut dikembangkan oleh Frank Wanlass hingga MOSFET dapat diterapkan dalam rangkaian silikon diskret secara komplementer seperti Gambar 2.1 dan Gambar 2.2. Penemuan ini dipatenkan dengan nomor US patent 3,356,858 pada tahun 1963. Pada tahun 1968 sebuah grup dari perusahaan *Radio Corporation of America* (RCA) yang dipimpin

oleh Albert Medwin untuk pertama kalinya membuat rangkaian terpadu dalam bentuk chip yang berisi 4000 buah gerbang logika CMOS untuk kepentingan komersial. Pada tahun 1970-an teknologi CMOS diterapkan di jam-jam digital, hal ini disebabkan karena pada periode ini sangat penting untuk menjaga jam dapat beroperasi dalam jangka waktu yang lama. Selama periode tersebut juga teknologi CMOS mulai digunakan untuk perkembangan prosesor komputer hingga pada tahun 1980-an tercipta *personal Computer* (PC) dan menjadi salah satu produk yang mendominasi pasar saat itu^[4].



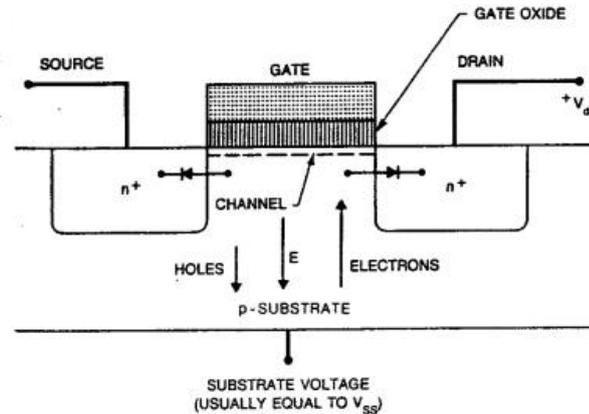
Gambar 2.1 NMOS berbentuk silikon diskret berdasarkan US paten 3,356,858^[4]



Gambar 2.2 PMOS berbentuk silikon diskret berdasarkan US paten 3,356,858^[4]

Dalam teknologi CMOS, MOSFET yang digunakan adalah jenis *enhancement-mode* (E-MOSFET). Jenis MOSFET ini memiliki terminal *gate* (G) yang dibuat dari metal jenis aluminium pada umumnya dan diisolasi dengan lapisan insulator seperti silikon dioksida (SiO_2). Substrat yang menyusun E-MOSFET dibuat

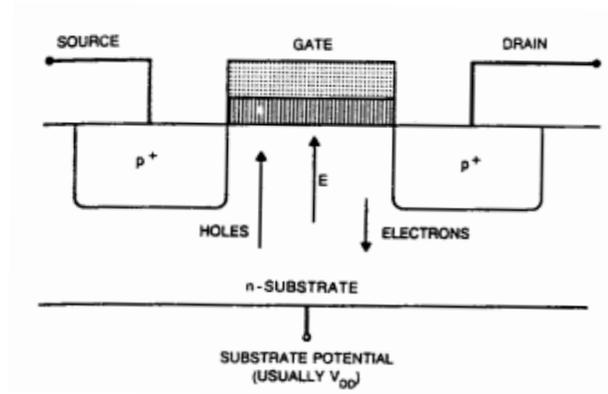
menyentuh terminal *gate* hingga tidak ada saluran yang menghubungkan *drain* (D) dan *source* (S).



Gambar 2.3 Struktur Fisik E-MOSFET jenis *n-channel* (NMOS)^[6]

Untuk dapat bekerja, E-MOSFET dipicu dengan memberikan tegangan pada terminal *gate*. Saat terminal *gate* tidak diberikan tegangan, maka tidak ada arus dari terminal *source* menuju *drain*. Untuk E-MOSFET jenis *n-channel* (NMOS) saat terminal *gate* diberi tegangan (V_{gs}) positif yang besarnya melebihi tegangan *threshold*, akan muncul medan listrik yang menarik elektron bebas dari substrat ke arah terminal *gate*. Lalu elektron bebas ini akan saling berinteraksi dengan *hole – hole* dari silikon dioksida. Semakin besar selisih tegangan masukkan dengan tegangan *threshold*, semakin banyak elektron bebas yang akan membentuk lapisan inversi tepat di bawah lapisan silikon dioksida dan di antara *source* dengan *drain* sehingga elektron dapat mengalir dari terminal *source* ke terminal *drain*^{[5][6]}.

Sedangkan untuk E-MOSFET jenis *p-channel* (PMOS) akan bekerja ketika terminal *gate* diberikan tegangan negatif. Tegangan negatif dibutuhkan oleh PMOS karena lapisan inversi yang akan terbentuk tersusun dari *hole*.



Gambar 2.4 Struktur Fisik E-MOSFET jenis *p-channel* (PMOS)^[6]

Tegangan *threshold* (V_{THO}) merupakan nilai tegangan minimal yang dibutuhkan untuk membentuk lapisan inversi sehingga E-MOSFET dapat bekerja. V_{THO} didapatkan dari persamaan berikut :

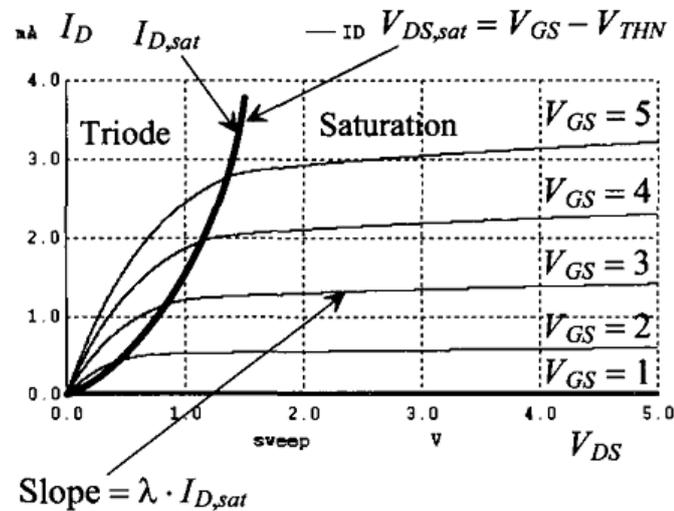
$$V_{THO} = \phi_{GB} - \frac{Q_{ox}}{C_{ox}} + 2\phi_F \pm \frac{Q_D}{C_{ox}} \quad (2.1)$$

Di mana, ϕ_{GB} adalah beda potensial *work-function* antara material *gate* dengan material *bulk*. Besarnya beda potensial *work-function* ini tergantung dari tipe *doping* yang digunakan pada terminal *gate*. Q_{ox} adalah muatan positif pada permukaan silikon – oksida. C_{ox} adalah nilai kapasitansi lapisan silikon-oksida. $2\phi_F$ adalah potensial permukaan pada sisi terminal *source* terhadap saluran yang terbentuk ketika adanya lapisan inversi. Nilai potensial ini tergantung dari jarak antara level Fermi terhadap lebar pita energi tengah dari material semikonduktor. Q_D adalah muatan yang besarnya tergantung dari ketebalan lapisan depleksi (t_{si})^{[4][6]}.

Besar V_{THO} untuk NMOS dan PMOS berbeda. Berdasarkan model transistor berupa BSIM3 versi 3.1 yang menjadi dasar perancangan *mask layout* pada

penelitian ini besarnya V_{THO} NMOS adalah 0.6696061 volt dan besarnya V_{THO} PMOS adalah -0.9214347 volt.

Secara elektrik, baik NMOS maupun PMOS memiliki tiga buah karakteristik konduksi saat lapisan inversi terbentuk yaitu konduksi saat keadaan *cut off*, saturasi, dan non-saturasi/triode.



Gambar 2.5 Grafik Karakteristik Konduksi NMOS^[4]

Cut off adalah kondisi arus listrik dari *drain* ke *source* bernilai 0 ($I_{ds} = 0$). Saturasi adalah kondisi dimana arus mengalir secara ideal dari *drain* ke *source* (I_{ds}) tanpa bergantung pada tegangan antara *drain-source* (V_{ds}) atau $0 < V_{gs} - V_{THO} < V_{ds}$ yang besarnya dapat dihitung dengan persamaan :

$$I_{ds} = \beta \frac{(V_{gs} - V_{THO})^2}{2} \quad (2.2)$$

Kadaan non-saturasi atau disebut juga triode adalah kondisi dimana daerah inversi-lemah terbentuk dan I_{ds} tergantung pada tegangan *gate* dan tegangan *drain* atau kondisi $0 < V_{ds} < V_{gs} - V_{THO}$ yang besarnya :

$$I_{ds} = \beta \left[(V_{gs} - V_{THO}) - \frac{V_{ds}}{2} \right] V_{ds} \quad (2.3)$$

Dimana β merupakan faktor penguat transistor MOSFET atau disebut juga faktor transkonduktansi yang besarnya tergantung dari parameter proses dan geometri desain. Secara matematis nilai transkonduktansi didapatkan dari Persamaan (2.4).

$$\beta = \frac{\mu\epsilon}{t_{ox}} \left(\frac{W}{L} \right) \quad (2.4)$$

Dengan μ adalah mobilitas muatan pembawa di dalam saluran (*channel*), ϵ adalah permitivitas insulator terminal *gate*, t_{ox} adalah ketebalan insulator terminal *gate*, W merupakan lebar saluran yang terbentuk antara terminal *source* dengan terminal *drain* sedangkan L merupakan panjang saluran yang terbentuk di antara *source* dengan *drain*^{[4][6][7]}. Mobilitas muatan, permitivitas insulator, dan ketebalan lapisan insulator adalah parameter proses yang sering dilambangkan dengan K_P dan K_N .

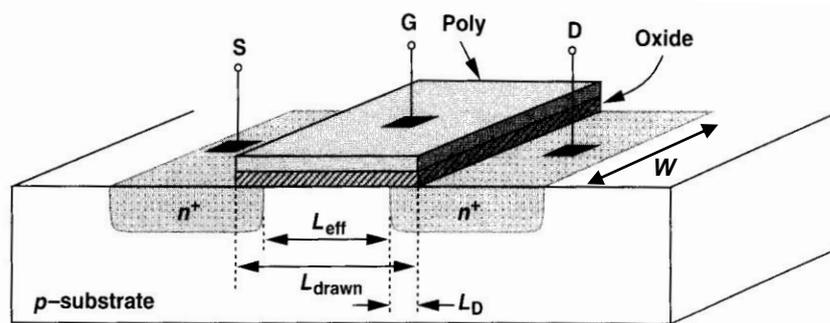
$$K_P = \frac{\mu_p \cdot (\epsilon_0 \cdot \epsilon_{SiO2})}{t_{ox}} \quad (2.5)$$

$$K_N = \frac{\mu_n \cdot (\epsilon_0 \cdot \epsilon_{SiO2})}{t_{ox}} \quad (2.6)$$

Berdasarkan model transistor berupa BSIM3 versi 3.1 yang menjadi dasar perancangan *mask layout* pada penelitian ini, besarnya μ_n adalah 458,43967 cm²/V.s; μ_p adalah 212,0166131 cm²/V.s; ϵ_0 adalah 8,85x10⁻¹⁴ F/cm; ϵ_{SiO2} adalah 3,97 ϵ_0 dan t_{ox} adalah 1,39x10⁻⁸ m.

Sedangkan parameter W dan L yang dimaksud persamaan (2.4) adalah nilai W_{eff} dan L_{eff} . L_{eff} merupakan panjang saluran yang didapatkan dari persamaan :

$$L_{eff} = L_{drawn} - 2L_D \quad (2.7)$$



Gambar 2.6 Penampang melintang NMOS

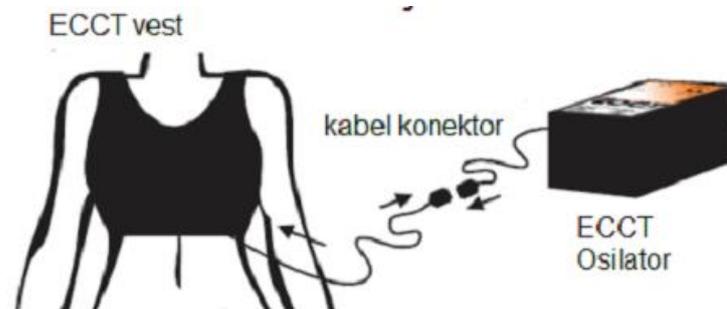
Besar L_{eff} inilah yang digunakan untuk menjadi ukuran satuan standar pada proses pembuatan VLSI atau ULSI yang disebut juga lambda (λ) dalam *scalable design rules*. Semakin kecil nilai lambda akan menyebabkan semakin kecil jarak antara *source* dengan *drain* sehingga semakin cepat arus dari terminal *source* ke *drain* dan semakin kecil daya yang dibutuhkan. Namun untuk mewujudkannya dibutuhkan teknologi yang lebih kompleks karena semakin kecil lambda efek kuantum akan semakin besar pengaruhnya sehingga akan meningkatkan secara drastis biaya produksi yang dibutuhkan. Nilai lambda yang digunakan pada perancangan *mask layout* penelitian ini adalah $0,3\mu\text{m}$.

B. Electro Capacitive Cancer Therapy (ECCT)

Electro Capacitive Cancer Therapy (ECCT) merupakan sebuah sistem yang diciptakan dan terus dikembangkan oleh Dr. Warsito P. Taruno bersama rekan – rekannya di Ctech Labs EdWar Technology untuk menghancurkan sel kanker.

ECCT mempengaruhi sel kanker pada tubuh makhluk hidup dengan menggunakan medan listrik berintensitas rendah yang dihasilkan melalui osilator

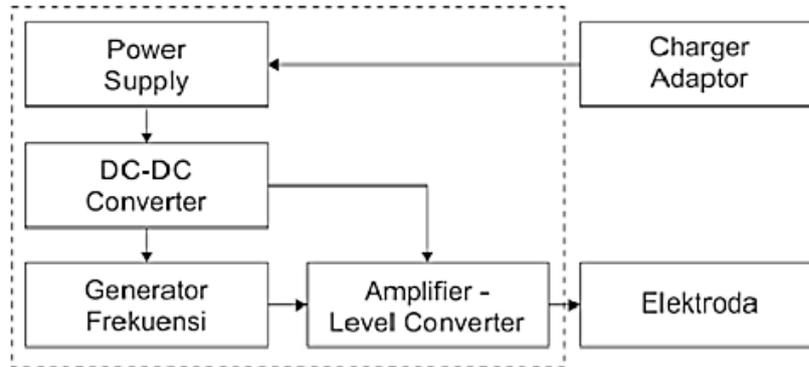
dan dihantarkan melalui elektroda-elektroda ke tubuh dengan menggunakan prinsip kapasitansi.



Sumber : Copyright PT. EdWar Technology

Gambar 2.7 Sistem ECCT^[3]

Secara umum sistem ECCT tersusun dari lima sub – sistem antara lain sumber tegangan, *DC – DC Converter*, generator frekuensi, *amplifier level converter*, dan *apparel*. Sumber tegangan yang digunakan berupa dua buah baterai litium polimer bertegangan total 2,4 volt yang dapat diisi ulang. *DC-DC converter* berfungsi untuk menaikkan tegangan baterai menjadi 5 volt DC untuk menyuplai generator frekuensi dan 20–30 volt *peak-to-peak* untuk menyuplai *amplifier level converter*. Generator frekuensi berfungsi untuk menghasilkan gelombang yang berosilasi hingga berbentuk kotak dengan frekuensi 100 kHz – 200 kHz. *Amplifier level converter* berfungsi untuk mengubah level tegangan keluaran dari generator frekuensi dan memperkuat nilai tegangannya hingga mencapai 20 – 30 volt *peak-to-peak* tanpa mengubah bentuk gelombangnya. *Apparel* merupakan elektroda-elektroda yang dijahit ke dalam pakaian untuk mengantarkan medan listrik ke tubuh dengan prinsip kapasitansi. *Apparel* yang diproduksi oleh PT. EdWar Technology berbentuk rompi, helm, selimut dan bentuk lain yang disesuaikan dengan jenis kanker yang diderita pasien^[2].



Gambar 2.8 Diagram Blok Sistem ECCT^[3]

ECCT yang saat ini diproduksi oleh Ctech Labs EdWar Technology ada 4 jenis, keempat jenis tersebut dibedakan berdasarkan tegangan, frekuensi keluaran dan fungsinya.

ECCT jenis standar merupakan ECCT yang menghasilkan keluaran berupa gelombang kotak dengan tegangan 20 volt *peak-to-peak* dan frekuensi 100 kHz. Keluaran tersebut umumnya digunakan untuk pasien kanker yang baru pertama kali diterapi menggunakan ECCT atau pasien kanker yang memiliki letak kanker tidak jauh dari permukaan kulit.

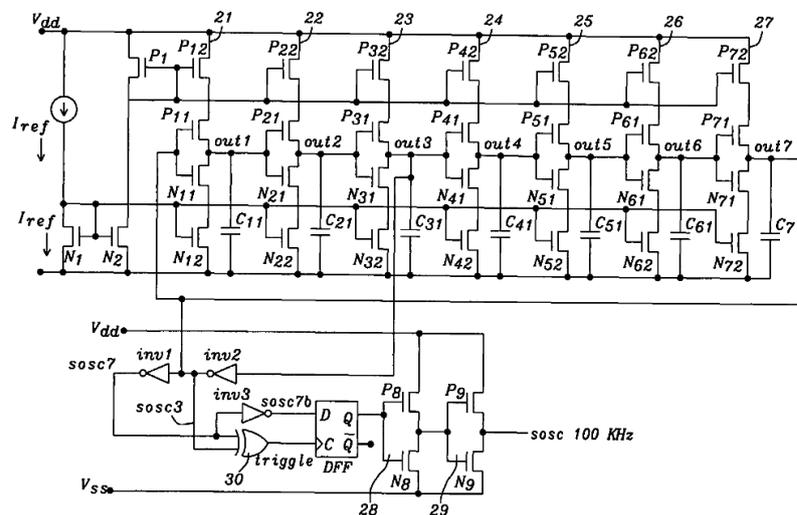
C. Generator Frekuensi

Generator frekuensi merupakan sebuah sub – sistem dalam sistem *electro capacitive cancer therapy* (ECCT) yang berfungsi untuk mengubah sinyal listrik searah menjadi sinyal listrik yang berosilasi membentuk gelombang kotak dengan frekuensi tertentu.

Dalam sistem ECCT yang diproduksi oleh Ctech Labs EdWar Technology saat ini untuk menghasilkan fungsi tersebut digunakan komponen ATmega 8, namun

dalam *mask layout* yang akan dirancang digunakan *ring oscillator* berdasarkan referensi paten U.S 7,230,499 milik Ji Cang.

Ji Cang dalam jurnal patennya membuat metode dan rangkaian *ring oscillator* yang memiliki nilai *duty cycle* tetap 50% walaupun proses dan temperatur yang dialami rangkaian tersebut berubah-ubah. Hal ini penting karena perubahan temperatur menyebabkan derau (*noise*), yang akan mempengaruhi karakteristik dari gerbang NOT (inverter) penyusunnya sehingga mengakibatkan frekuensi dan *duty cycle* keluarannya tidak konstan.



Gambar 2.9 Rangkaian *Ring Oscillator* dari US paten 7,230,499^[8]

Secara umum, metode yang dikemukakan Ji Cang adalah menghilangkan derau pada sinyal VDD, memilih keluaran sebuah *stage* dari rangkaian *ring oscillator* yang memiliki pergeseran fasa paling kecil lalu membandingkannya dengan keluaran *ring oscillator* secara digital untuk mengeliminasi perubahan *duty cycle* dan derau yang timbul^[8].

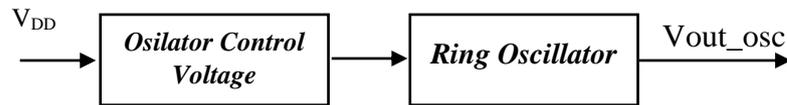
Besarnya frekuensi yang keluar pada titik *out7* didasarkan pada karakteristik waktu *delay* (T_{RF}) tiap gerbang NOT. T_{RF} tiap gerbang NOT terdiri dari waktu

sinyal naik (*rise time*), waktu sinyal turun (*fall time*), dan nilai kapasitor *delay* serta dipengaruhi oleh parameter proses dan parameter W-L.

$$gm = \left(I_D \times K_p \times \frac{W}{L} \right)_{PMOS} + \left(I_D \times K_N \times \frac{W}{L} \right)_{NMOS} \quad (2.8)$$

$$T_{RF} = 2 \times \frac{1}{gm} \times C_{delay} \quad (2.9)$$

Berdasarkan referensi di atas, generator frekuensi yang akan dirancang *mask layout*-nya tersusun dari *osilator control voltage* dan *ring oscillator 7 stage*.

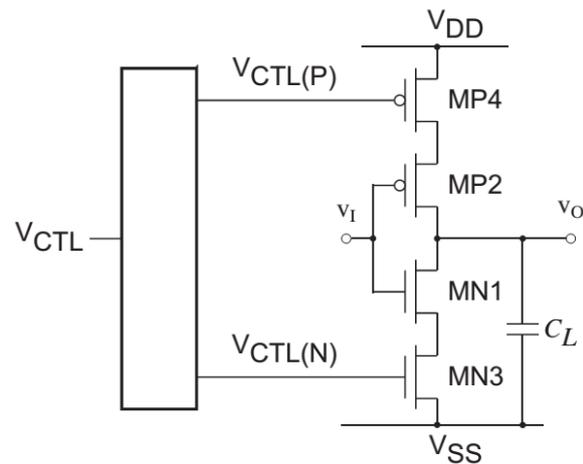


Gambar 2.10 Diagram Blok Generator Frekuensi Berbasis *Ring Oscillator*

1. *Osilator Control Voltage*

Osilator Control Voltage adalah rangkaian yang dengan besar tegangan akan mengendalikan osilator. *Osilator control voltage* ini tersusun dari *drive strength tuning*, sebuah rangkaian untuk mengaplikasikan metode yang mengatur besarnya frekuensi *ring oscillator* dengan memvariasikan kekuatan (*strength*) dari beban *drive* rangkaian.

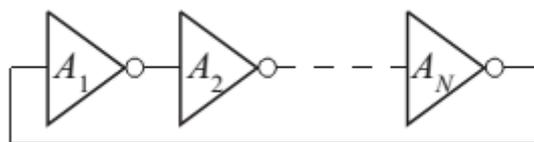
Dari Gambar 2.11 transistor MP4 dan MN3 akan membatasi arus (I_{REF}) yang digunakan C_L untuk men-*charging* ataupun men-*discharging*^[9]



Gambar 2.11 Skematik *Osilator Control Voltage*^[9]

2. Ring Oscillator

Merupakan sebuah rangkaian yang terdiri dari susunan seri gerbang NOT berjumlah ganjil yang keluarannya diumpanbalikkan ke masukan gerbang NOT pertama.



Gambar 2.12 Simbol *Ring Oscillator*^[10]

Ring oscillator akan menghasilkan osilasi gelombang pada frekuensi tertentu tanpa dibutuhkan sinyal masukan. Besarnya frekuensi dan bentuk osilasi gelombang yang keluar dari *ring oscillator* dipengaruhi oleh karakteristik waktu tunda (*delay*) yang dimiliki setiap gerbang NOT dan jumlah gerbang NOT yang menyusunnya. Frekuensi keluaran *ring oscillator* dapat ditentukan dengan persamaan :

$$f_{osc} = \frac{1}{n \cdot T_{RF}} \quad (2.10)$$

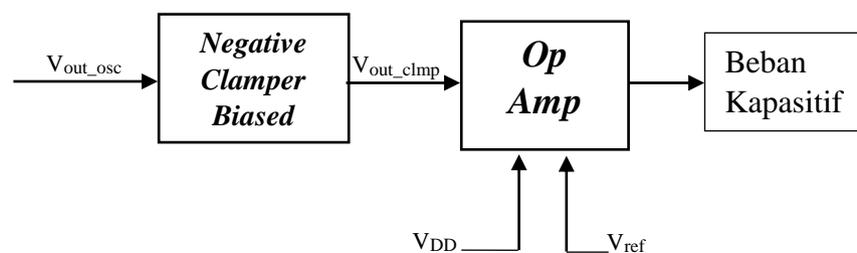
Dengan variabel n menunjukkan jumlah *stage* yang digunakan dan nilai T_{RF} didapatkan dari Persamaan (2.9).

Dalam teknologi CMOS, *mask layout* gerbang NOT dibuat dari komponen PMOS dan NMOS yang dihubungkan secara seri. Lalu terminal *source* PMOS dihubungkan dengan Tegangan *drive* (VDD) sedangkan terminal *source* NMOS dihubungkan dengan *ground* (GND)

D. Amplifier Level Converter

Amplifier level converter merupakan sub-sistem dalam sistem *electro capacitive cancer therapy* (ECCT) yang berfungsi untuk mengubah level tegangan keluaran generator frekuensi dan memperkuat sinyal tegangan tersebut hingga mencapai tegangan 20 Volt *peak-to-peak* (Vpp) atau tegangan 30 Vpp.

Dalam sistem yang akan dirancang *amplifier level converter* tersusun dari rangkaian *negative clamper biased*, *non – inverting operational amplifier* (Op-Amp) dan inverter.



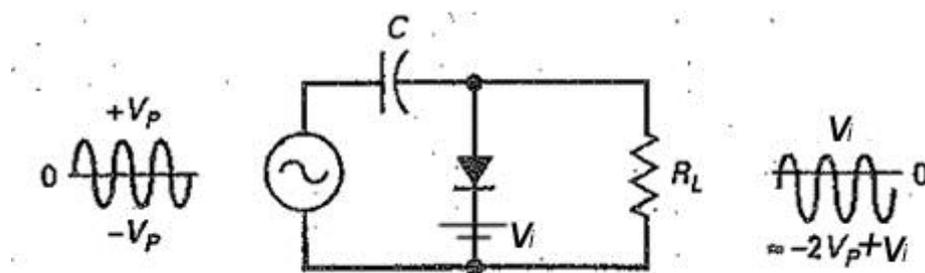
Gambar 2.13 Diagram Blok *Amplifier Level Converter*

1. *Negative Clamper Biased*

Negative clamper biased merupakan perangkat yang tersusun dari rangkaian clamper negatif yang diberi tegangan bias. Perangkat ini berfungsi untuk mengubah level tegangan keluaran generator frekuensi tanpa mengubah bentuk gelombangnya.

Rangkaian clamper negatif sederhana tersusun dari sebuah kapasitor, dioda dan resistor. Rangkaian clamper negatif sederhana disebut juga *negative clamper unbiased*. Idealnya rangkaian tersebut akan mengubah level tegangan sinyal sumber turun menjadi 0 volt sampai $-2V_p$ dimana V_p adalah tegangan puncak sinyal sumber. Namun dengan pendekatan kedua (*second approximation*) level tegangan sinyal sumber akan berubah menjadi 0,7 volt sampai $-2V_p$ dimana nilai 0,7 volt adalah nilai tegangan jatuh (V_D) dioda jenis silikon^[5].

Sedangkan rangkaian *Negative clamper biased* tersusun dari kapasitor, dioda, resistor dan sumber tegangan bias yang umumnya berasal dari baterai. Idealnya rangkaian ini akan mengubah level tegangan sumber turun menjadi level V_i sampai $-2V_p + V_i$, dimana V_i adalah nilai sumber tegangan bias^[5].



Gambar 2.14 Rangkaian *Negative Clamper Biased*^[5]

Dalam teknologi CMOS, *mask layout* kapasitor, dioda dan resistor dibuat dengan material yang berbeda-beda disesuaikan dengan karakteristik dan kebutuhan.

Mask layout kapasitor pada penelitian ini dibuat dengan menggunakan material poly1 dan poly2. Material ini pilih karena memiliki nilai kapasitansi area paling besar. Berdasarkan *database default* dalam perangkat lunak ElectricVLSI nilai kapasitansi area dan kapasitansi sisi poly1 adalah $0,1467\text{fF}/\mu\text{m}^2$ dan $0,0608\text{fF}/\mu\text{m}$ sedangkan nilai kapasitansi area poly2 adalah $1\text{fF}/\mu\text{m}^2$. Luas area antara poly1 dengan poly2 yang dibutuhkan untuk mencapai nilai kapasitansi yang diinginkan ditentukan dari persamaan:

$$C = \frac{\varepsilon}{t_{ox}} \times A \times (Scale)^2 \quad (2.11)$$

Dimana, ε adalah permitivitas insulator terminal *gate*, t_{ox} adalah ketebalan insulator terminal *gate*, A merupakan luas area dan *scale* merupakan nilai lambda teknologi CMOS yang digunakan.

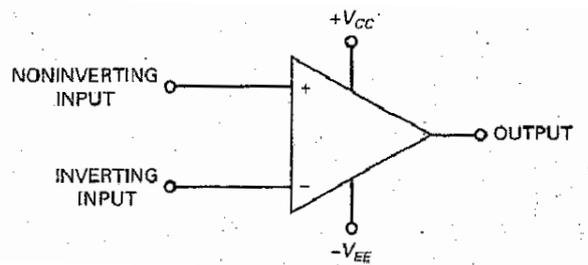
Sedangkan *mask layout* resistor pada penelitian ini dibuat dengan menggunakan *n-well*. Material ini dipilih karena memiliki nilai resistansi tinggi namun dengan nilai *bottom parasitic* yang rendah. Nilai resistansi sebuah material dapat ditentukan dengan persamaan:

$$R = \frac{\rho}{t_{ox}} \times \frac{L \times (Scale)}{W \times (Scale)} \quad (2.12)$$

Dimana, ρ adalah resistivitas material, L adalah panjang *layout*, dan W adalah lebar *layout*.

2. Operational Amplifier (Op-amp)

Merupakan sebuah rangkaian penguat dengan sumber terkendali (*controlled source*) yang memiliki *gain* tegangan sangat tinggi.



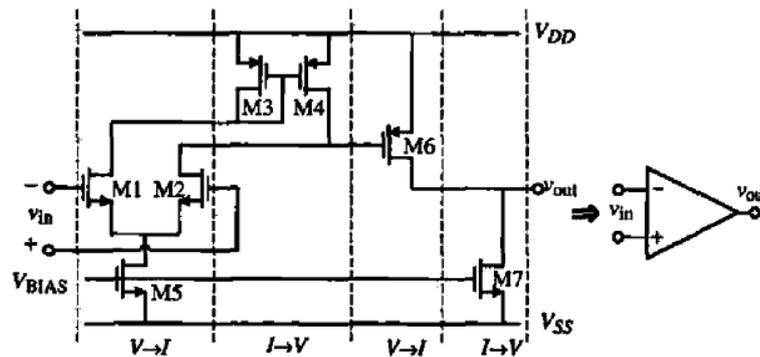
Gambar 2.15 Simbol Skematik Op-amp^[5]

Idealnya op-amp memiliki karakteristik seperti dalam Tabel 2.1 di bawah, namun pada kenyataannya karakteristik op-amp hanya mendekati ideal saja. Pada umumnya nilai A_{VOL} berada pada orde 10^5 - 10^6 , nilai Z_{IN} pada orde Megaohm ($M\Omega$), nilai V_{off} pada orde milivolt (mV), nilai I_{off} pada orde nanoampere (nA), nilai Z_{OUT} pada orde ohm (Ω) dan nilai CMRR pada orde 10^1 decibel (dB)

Tabel 2.1 Karakteristik Ideal Op-amp

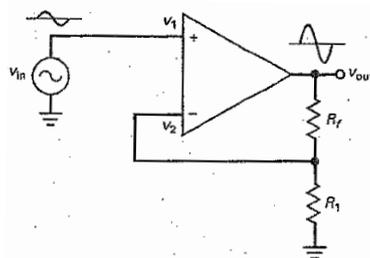
Karakteristik	Simbol	Nilai Ideal
<i>Gain</i> tegangan keadaan kalang terbuka	A_{VOL}	∞
<i>Gain Bandwidth</i>	GBW	∞
Impedansi masukan	Z_{IN}	∞
Nilai <i>offset</i> tegangan masuk	V_{off}	0
Nilai <i>offset</i> arus masuk	I_{off}	0
Impedansi keluaran	Z_{OUT}	0
Rasio penolakan <i>common-mode</i>	CMRR	∞

Secara umum op-amp tersusun dari rangkaian *differential amplifier*, *more gain stage*, dan *push-pull emitter follower* kelas B pada teknologi BJT atau *buffer* pada teknologi CMOS. Bentuk paling sederhana op-amp dalam teknologi CMOS adalah op-amp dua tingkat (*two-stage op-amp*).



Gambar 2.16 Rangkaian Op-amp Dua Tingkat (*Two-Stage Op-amp*) Sederhana^[6]

Pada penelitian ini op amp akan dirangkai dengan rangkaian penguat *non-inverting*. Rangkaian op amp ini dipilih karena memiliki impedansi masukan yang cukup besar dan impedansi keluaran yang relatif kecil nilainya. Rangkaian penguat *non-inverting* dapat dilihat pada Gambar 2.21 dan memiliki persamaan penguatan (*gain*) yang dapat dilihat pada Persamaan 2.13.



Gambar 2.17 Rangkaian Penguat *Non-Inverting*^[5]

$$gain = \frac{R_f}{R_1} + 1 \quad (2.13)$$

III. METODOLOGI PENELITIAN

A. Tempat dan Waktu Penelitian

Penelitian dilakukan di Laboratorium Terpadu Teknik Elektro Universitas Lampung yang dimulai pada bulan Desember 2015 hingga Mei 2016.

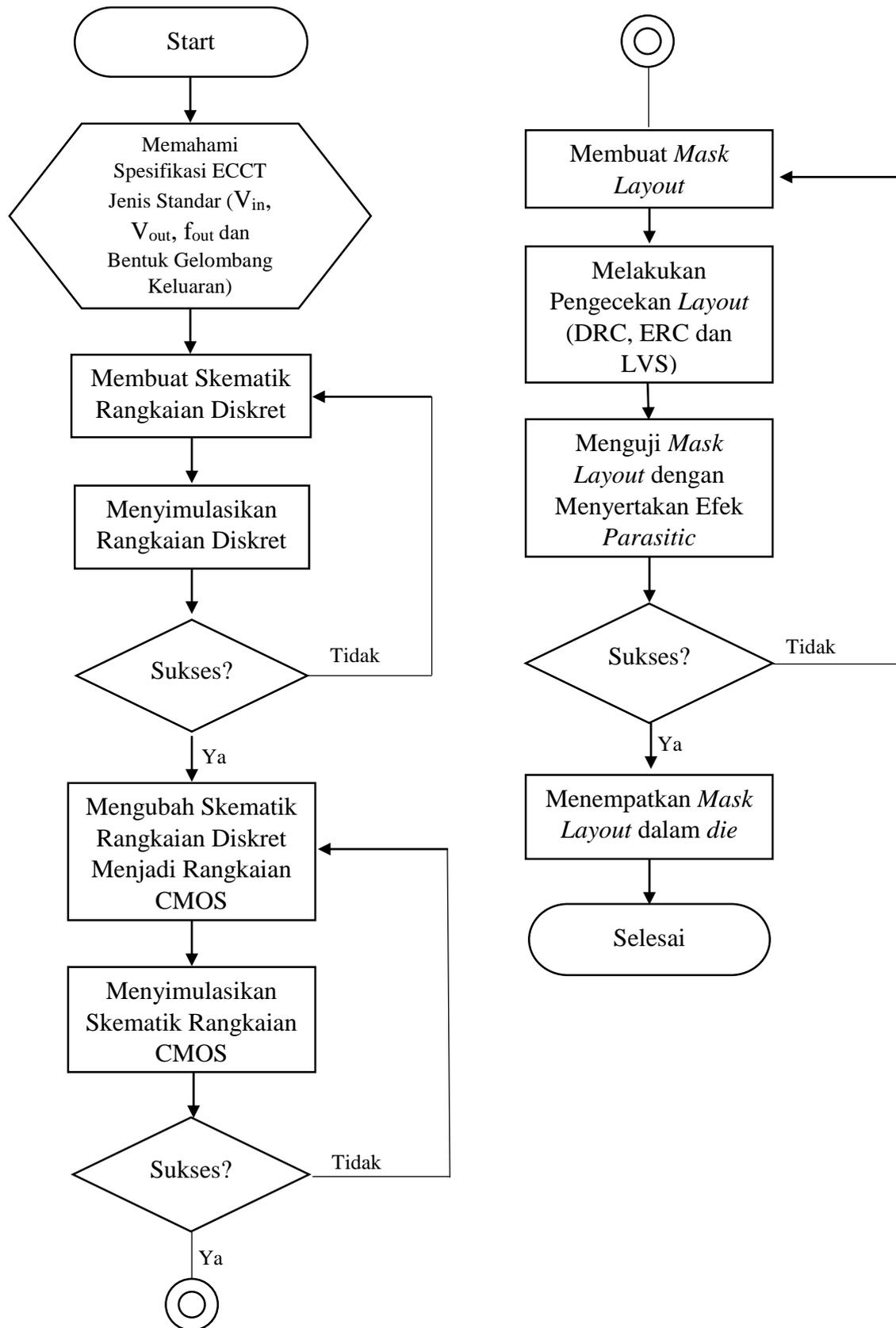
B. Alat dan Bahan Penelitian

Alat dan bahan yang digunakan pada penelitian ini antara lain :

1. Satu buah *personal Computer* (PC) atau laptop
2. Perangkat lunak LTspiceIV
3. Perangkat lunak Electric VLSI

C. Tahap – Tahap Penelitian

Penelitian dilaksanakan dalam tahap seperti yang terlihat pada Gambar 3.1. Secara umum penelitian yang telah dilaksanakan terbagi dalam empat tahap antara lain perancangan skematik sistem, pembuatan *mask layout* berdasarkan teknologi rangkaian *complementary metal-oxide semiconductor* (CMOS), pengujian setiap bagian *mask layout* dan simulasi keseluruhan *mask layout*.



Gambar 3.1 Diagram Alir Penelitian

1. Perancangan Skematik Sistem

Tahap ini bertujuan untuk mencari komponen-komponen yang tepat untuk menghasilkan sistem dengan keluaran yang menyerupai *electro capacitive cancer therapy* (ECCT) jenis standar produksi Ctech Labs EdWar Technology, namun komponen-komponen tersebut memungkinkan diterapkan pada teknologi *complementary metal-oxide semiconductor*.

Pada tahap ini terlebih dahulu dilakukan studi literatur mengenai pembangkit gelombang menggunakan *ring oscillator*, pengubah level tegangan menggunakan *clamper*, penguat sinyal menggunakan op-amp, dan teknologi *complementary metal-oxide semiconductor* (CMOS). Dalam tahap ini juga dilakukan simulasi dengan bantuan perangkat lunak untuk membantu memahami karakteristik umum rangkaian-rangkaian tersebut.

2. Perancangan *Mask Layout*

Tahap ini bertujuan untuk mengubah skematik rangkaian yang telah dibuat menjadi bentuk *mask layout*. Pada tahap ini dilakukan studi literatur tentang cara membuat *layout* transistor, kapasitor, resistor dan op-amp dalam teknologi CMOS serta perhitungan matematis mengenai kapasitor, resistor, dioda dan op amp dalam teknologi CMOS 0,3 μ m. Dilakukan juga pemeriksaan *design rule* (DRC), pemeriksaan *electrical rule* (ERC), dan pemeriksaan *layout vs schematic* (LVS) pada masing-masing bagian dan komponen.

Pada tahap ini, perancangan dan pengecekan dilakukan dengan

menggunakan bantuan perangkat lunak ElectricVLSI dan sinyal hasil simulasi ditampilkan dengan perangkat lunak LTspiceIV.

3. Pengujian *Mask Layout*

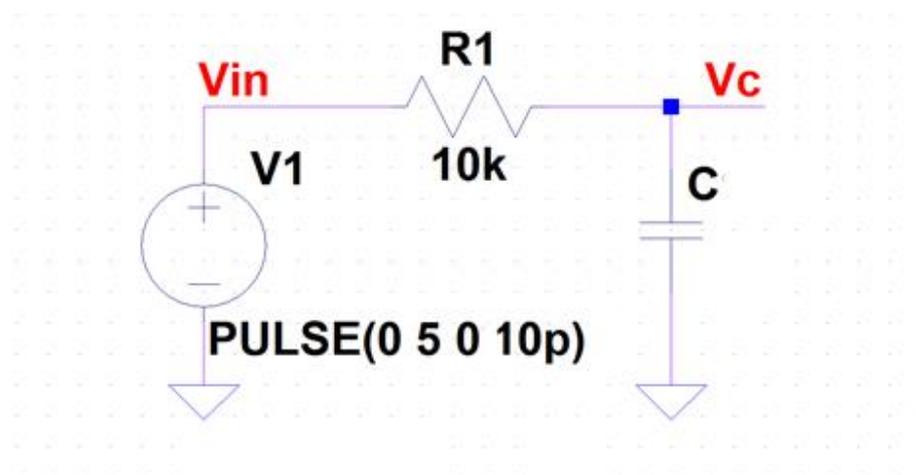
Pada tahap ini dilakukan pengujian masing-masing *layout* komponen dengan dua cara yaitu membandingkan responnya terhadap persamaan yang ada atau menganalisis respon keluarannya dalam domain frekuensi.

1. Pengujian *Mask Layout* Sub-Sistem Generator Frekuensi

Pengujian dilakukan dengan menganalisis sinyal keluaran dalam domain frekuensi. Pengujian bagian ini menggunakan bantuan algoritma *fast fourier transform* (FFT) yang dimiliki perangkat lunak LTspiceIV.

2. Pengujian *Mask Layout* Komponen Kapasitor

Komponen kapasitor digunakan dalam rangkaian *negative clamper biased* dan *operational amplifier* (op amp) pada sub-sistem *amplifier level converter*.



Gambar 3.2 Rangkaian Pengujian *Mask Layout* Komponen Kapasitor

Pengujian dilakukan dengan membandingkan respon tegangan kapasitor (V_c) hasil *layout* dalam rangkaian resistor-kapasitor (RC) Gambar 3.2 dengan respon yang dihasilkan dari Persamaan 3.1.

$$V_c = V_{in}(1 - e^{-t/R.C}) \quad 3.1$$

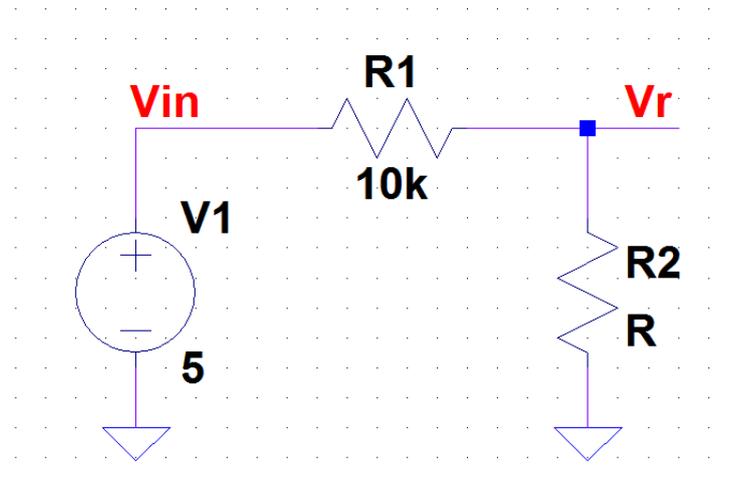
Dimana V_{in} adalah tegangan masuk dengan bentuk sinyal tangga satuan (*step*) yang bernilai 5 Volt DC saat waktu 0 detik, t adalah waktu, R adalah nilai resistor $10k\Omega$, dan C adalah nilai kapasitor.

Simulasi dan perhitungan dilakukan dalam domain waktu peralihan (transien) dari 0 detik hingga waktu dimana respon rangkaian secara perhitungan mencapai nilai 99,33% nilai V_{in} . Nilai waktu respon rangkaian tersebut ditentukan dengan Persamaan 3.2.

$$t = R.C.(5,0056) \quad 3.2$$

3. Pengujian *Mask Layout* Komponen Resistor

Pengujian komponen ini dilakukan dengan membandingkan nilai tegangan resistor (V_r) dalam rangkaian pembagi tegangan Gambar 3.3 dengan hasil dari persamaan pembagi tegangan. Persamaan pembagi tegangan dapat dilihat pada Persamaan 3.3



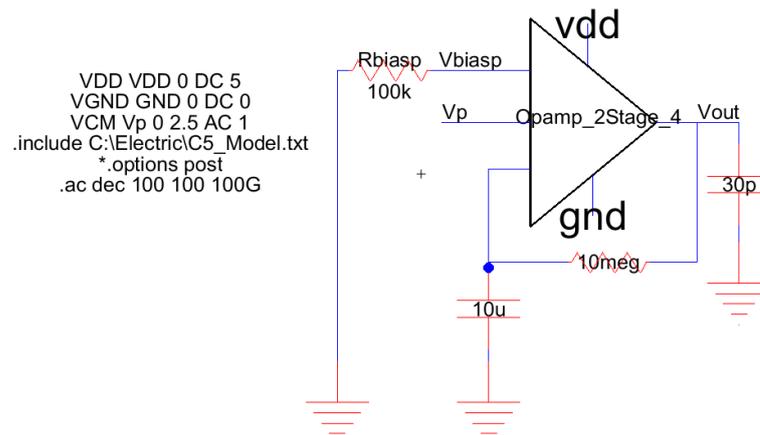
Gambar 3.3 Rangkaian Pengujian *Mask Layout* Resistor

$$V_r = V_{in} \left(\frac{R_2}{R_1 + R_2} \right) \quad 3.3$$

4. Pengujian *Mask Layout* Rangkaian Op Amp

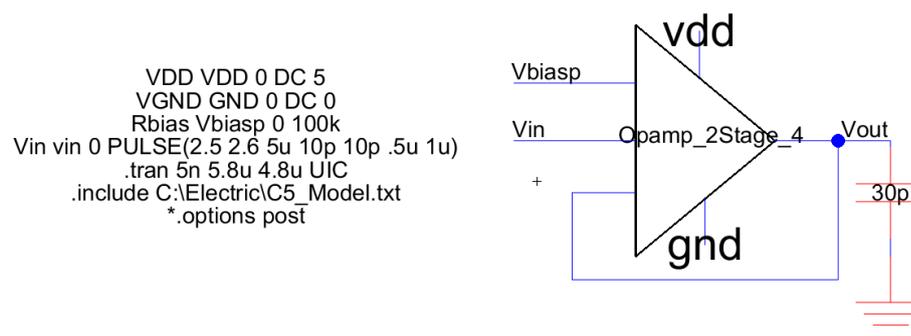
Pengujian rangkaian op amp dilakukan dalam dua bentuk yaitu pengujian respon frekuensinya dan pengujian respon transien.

Pada pengujian respon frekuensi, op amp diberi rangkaian seperti Gambar 3.4 dan diberi beban kapasitif bernilai 30pF pada terminal keluarannya. Terminal VDD akan diberi sinyal 5 volt DC sedangkan terminal masukan *non-inverting* diberikan sinyal 2,5 Volt AC dengan frekuensi 1Hz lalu diplot dalam diagram Bode dengan rentang frekuensi dari 100Hz sampai dengan 100GHz.



Gambar 3.4 Rangkaian Pengujian Respon Frekuensi *Mask Layout* Op Amp

Sedangkan pada pengujian respon transien, op amp dirangkai dalam keadaan *unity gain* seperti Gambar 3.5 dan diberi beban kapasitif sebesar 30pF pada keluarannya. Terminal VDD akan diberi sinyal 5 volt DC sedangkan terminal masukan *non-inverting* diberi sinyal pulsa dengan jangkauan tegangan 2,5 volt sampai 2,6 volt lalu diplot dalam rentang waktu 200ns sampai 700ns.



Gambar 3.5 Rangkaian Pengujian Respon Transien *Mask Layout* Op Amp

4. Simulasi Keseluruhan *Mask Layout* Sistem

Pada tahap ini dilakukan simulasi *mask layout* seluruh sub-sistem yang telah saling terhubung dengan menyertakan efek *parasitic* kapasitansi (C) dan resistansi (R) dalam *die* yang telah dirancang untuk mengetahui hasil sinyal keluarannya.

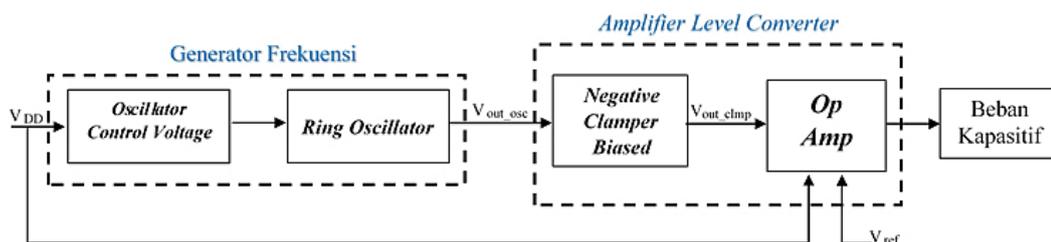
D. Spesifikasi Sistem

Mask layout tersusun dari sub-sistem generator frekuensi dan *amplifier level converter* akan disimulasikan dengan tegangan *drive* (V_{DD}) 5 volt dan tegangan referensi (V_{ref}) +15 volt sampai -15 volt.

Mask layout sistem ini diharapkan dapat menghasilkan keluaran berupa sinyal berbentuk kotak dengan frekuensi 100 kHz dan tegangan 20 Volt *peak-to-peak* (V_{pp}) serta dengan luas *layout* dalam orde mm^2 .

E. Diagram Blok Sistem

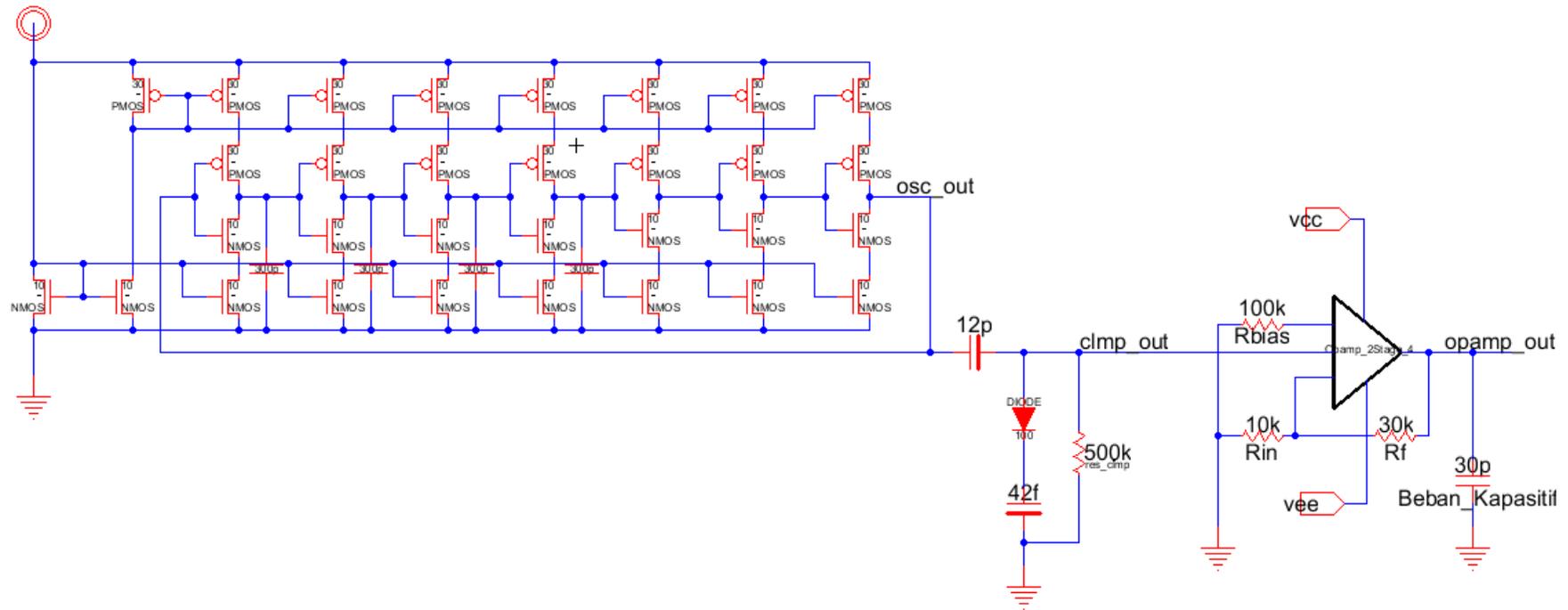
Secara keseluruhan, diagram blok sistem yang akan dirancang dan akan di buat *mask layout*-nya dapat dilihat pada Gambar 3.6.



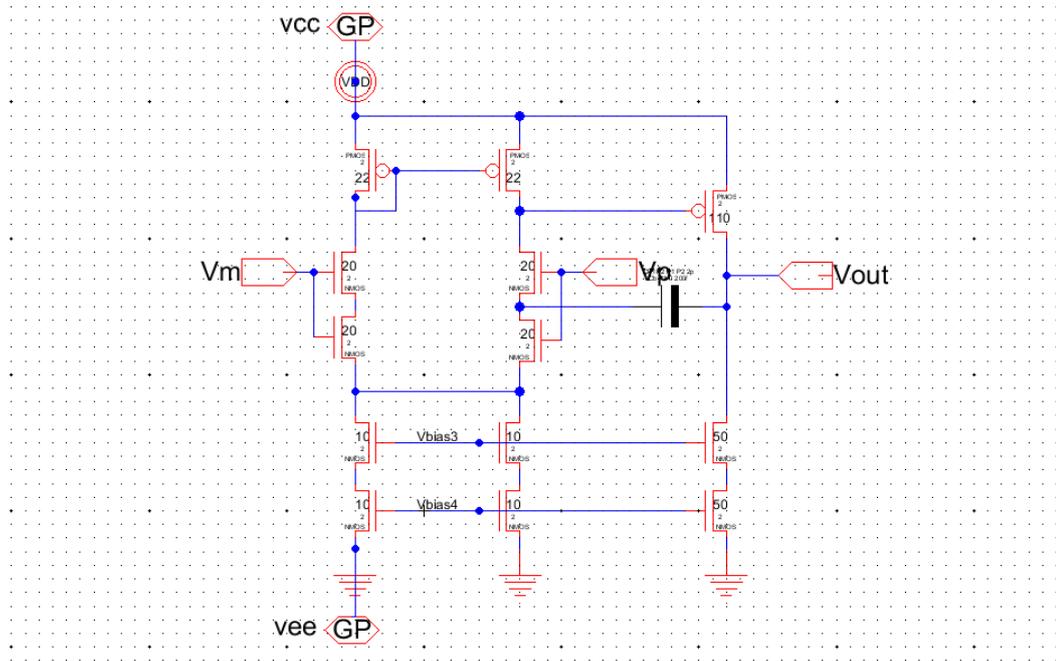
Gambar 3.6 Diagram Blok Sistem

F. Skematik Sistem

Skematik sistem secara keseluruhan dapat dilihat pada Gambar 3.7.



Gambar 3.7 Skematik Sub-Sistem Generator Frekuensi dan *Amplifier Level Converter*



Gambar 3.8 Skematik Komponen Op Amp dalam Sub-System *Amplifier Level Converter*

V. KESIMPULAN

A. Kesimpulan

Setelah dilakukan perancangan skematik, *mask layout*, simulasi, dan analisis didapatkan kesimpulan sebagai berikut :

1. Telah dirancang sebuah skematik untuk sistem ECCT jenis standar dengan menggunakan rangkaian *osillator control voltage*, *ring oscillator*, *negatif clamper biased* dan *operational amplifier* (op amp).
2. Telah dirancang *mask layout* berdasarkan skematik rangkaian tersebut dengan teknologi rangkaian terpadu *complementary metal-oxide semiconductor* (CMOS) $0,3\mu\text{m}$ dan memiliki luas area sebesar $0,2704\text{mm}^2$.
3. *Mask layout* sistem yang telah dirancang menghasilkan sinyal keluaran dengan frekuensi $100,01\text{kHz}$, tegangan $17,5$ volt *peak-to-peak* (V_{pp}) dan bentuk asimetris.
4. Efek *parasitic* tidak terlalu mempengaruhi kinerja *mask layout* sub-sistem generator frekuensi, namun dapat mempengaruhi kinerja *mask layout* sub-sistem *Amplifier level converter* terutama kinerja pada rangkaian *operational amplifier*.

B. Saran

Saran yang diberikan penulis pada penelitian ini antara lain:

1. Diperlukan studi lebih lanjut untuk mengatasi keterbatasan rangkaian *negative clamper biased* dalam sub-sistem *amplifier level converter* yang telah dirancang.
2. Disarankan untuk melakukan studi secara khusus dalam perancangan *operational amplifier* (op amp) agar mampu menghasilkan op amp dengan karakteristik yang lebih baik.
3. Pada penelitian selanjutnya dapat ditambahkan perhitungan dan simulasi disipasi daya untuk mengetahui kinerja sistem terhadap *power supply* yang diberikan.

DAFTAR PUSTAKA

- [1] World Health Organization, IARC. *Global battle against cancer won't be won with treatment alone: Effective prevention measures urgently needed to prevent cancer crisis*. 2014 Feb 3:[2 p.].
- [2] Sinaga FR. *Desain Generator Frekuensi Berbasis Ring Oscillator Pada Electro Capacitive Cancer Theraphy (ECCT) Jenis Standar di Ctech Labs EdWar Technology*. Laporan Kerja Praktek. Lampung. Universitas Lampung; 2015.
- [3] Rahmadhani A. *Pengembangan Pembangkit Sinyal Electro Capacitive Cancer Therapy (ECCT) untuk Terapi Kanker Otak di PT. EdWar Technology*. Laporan Kerja Praktek. Bandung. Institut Teknologi Bandung; 2013.
- [4] Baker RJ. *CMOS Circuit Design, Layout, And Simulation*. 3rd rev. ed. New Jersey: Wiley; 2010.
- [5] Malvino A, Bates DJ. *Electronic Principles*. 7th rev. ed. United State of America: McGraw-Hill; 2006.
- [6] Weste NHE, Eshragian K. *Principles of CMOS VLSI Design: A System Perspective*. 2nd rev. ed. United State of America: Adison-Wesley; 1994.

- [7] Allen PE, Holberg DR. *CMOS Analog Circuit Design*. 2nd rev. ed. New York: Oxford University Press; 2002.
- [8] Cang J. US Patent 7,230,499 B2
- [9] McNeill JA, Ricketts DS. *The Designer`s Guide to Jitter in Ring Oscillator*. United State of America: Springer; 2009.
- [10] Mandal MK, Sarkar BC. *Ring Oscillator: Characteristics and applications*. Indian Journal of Pure and Applied Physics. 2010; 48: pp.136-45.